

DENEY 5: YARIM TOPLAYICI VE TAM TOPLAYICI DEVRELER

5.1. Deneyin Amacı

Yarım toplayıcı ve tam toplayıcı devreleri lojik kapılar kullanarak gerçekleřtirmek

5.2. Kullanılan Elemanlar

- 1 x 74HC08 (AND Kapısı)
- 1 x 74HC32 (OR Kapısı)
- 1 x 74HC86 (XOR Kapısı)
- 3 x 4,7k ohm
- 2 x 330 ohm
- 2 x Led

5.3. Teorik Bilgiler

Toplayıcılar ikili (binary) sayı sisteminde toplama işlemi yapmaktadırlar. Giriřlerindeki ikili sistemle ifade edilen sayıları toplayıp çıkıřa toplanmıř şekilde aktaran devrelerdir. Toplayıcılar yarım toplayıcı ve tam toplayıcı olmak üzere ikiye ayrılmakla beraber, tam toplayıcılarla oluřturulan paralel toplayıcı devresi de bulunmaktadır. Ayrıca toplama işlemi yapan entegreler vardır. Toplayıcılar 2 bitlik, 3 bitlik, 4 bitlik... gibi kaç bitlik sayıları topladıklarına göre de çeřitlendirilebilirler.

Yarım Toplayıcı (Half Adder)

Yarım toplayıcının 2 giriř ve 2 çıkıřı vardır. Giriřler “A” ve “B” olarak isimlendirilmiřtir ve sayı giriřleridir. Bu devre giriřlerine uygulanan birer bitlik sayıyı toplar ve toplamı çıkıřlara aktarır. (A+B) işlemi yapar. Çıkıřlardan biri “S” (Sum) yani “toplam” çıkıřıdır. Çıkıřlardan diđer “Cout” (Carry Out) yani “elde” çıkıřıdır. Bu iki çıkıř birlikte sonucu gösterirler. Bilindiđi gibi ikili sayılarda toplama işleminde;

$$0 + 0 = 0 \text{ (Elde 0), } 1 + 0 = 1 \text{ (Elde 0)}$$

$$0 + 1 = 1 \text{ (Elde 0), } 1 + 1 = 10 \text{ (Toplam 0, Elde 1) } \text{ olmaktadır.}$$

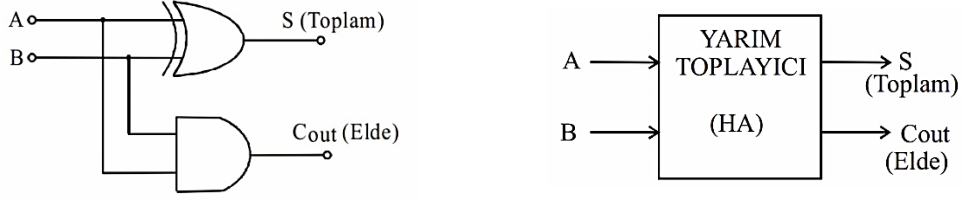
Tablo-1’de yarım toplayıcının dođruluk tablosu ve çıkıř denklemleri verilmiřtir. Őekil-1’de ise yarım toplayıcı devresi ve blok diyagramı ile gösterimi verilmiřtir.

GİRİŐLER		ÇIKIŐLAR (A+B)	
A	B	C _{out}	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S = A \cdot \bar{B} + \bar{A} \cdot B \text{ veya } S = A \oplus B$$

$$C_{out} = A \cdot B$$

Tablo 1. Yarım toplayıcı dođruluk tablosu ve çıkıř denklemleri



Şekil 1. Yarım toplayıcı lojik devresi ve blok diyagramı

Tam Toplayıcı (Full Adder)

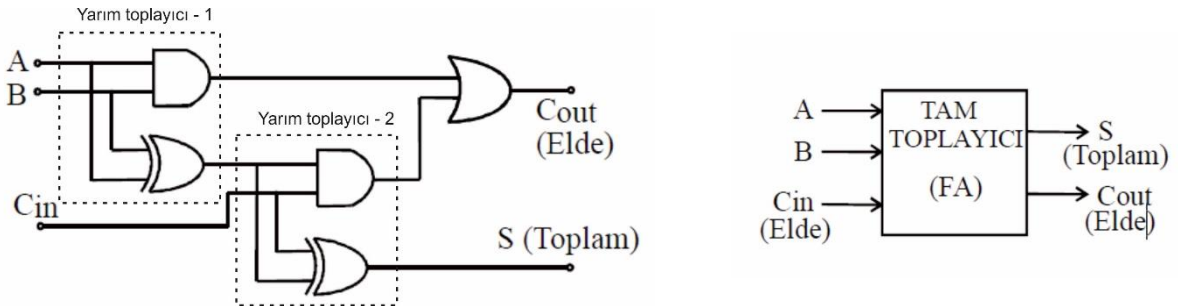
Tam toplayıcının 3 girişi ve 2 çıkışı vardır. Bu devrenin 3 girişi olduğundan birer bitlik 3 ikili sayıyı toplar ve toplam sonucunu çıkışlara aktarır. $(A+B+C_{in})$ işlemini yapar. Girişlerden 2 tanesi sayı girişleridir ve aynen yarım toplayıcıdaki gibidirler. Üçüncü giriş ise C_{in} (Carry In) yani “elde” girişidir. Bu giriş eğer devre başka bir devrenin çıkışına bağlanacaksa kullanılır ve bağlı olduğu devreden gelecek elde sonucunu da toplamaya dahil eder. Eğer elde girişi olmasaydı öncesine bağladığımız devreden gelen elde bitini kullanamazdık. İki adet yarım toplayıcı ve bir OR kapısı kullanılarak tam toplayıcı devre elde edilir.

GİRİŞLER			ÇIKIŞLAR ($A+B+C_{in}$)	
A	B	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$S = A'B'C_{in} + A'BC_{in}' + AB'C_{in}' + ABC_{in} = A \oplus B \oplus C_{in}$$

$$C_{out} = ABC_{in}' + AB'C_{in} + A'BC_{in} + ABC_{in} = (A \oplus B)C_{in} + AB$$

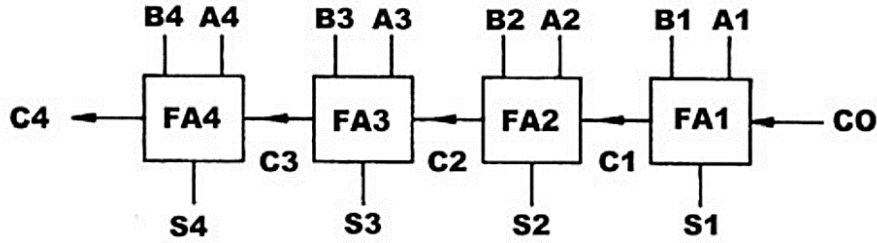
Tablo 2. Tam toplayıcı doğruluk tablosu ve çıkış denklemleri



Şekil 2. Tam toplayıcı lojik devresi ve blok diyagramı

Paralel Toplayıcılar

1 bitten daha uzun sayıları toplarken “Paralel toplayıcılar” kullanılır. Şekil-3, dört adet tam toplayıcı kullanarak oluşturulmuş 4-bitlik paralel toplayıcının blok diyagramını göstermektedir.



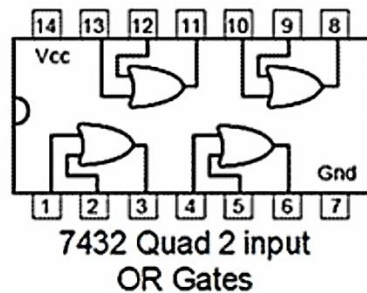
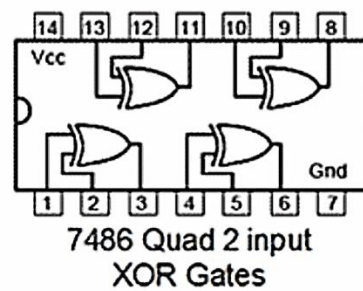
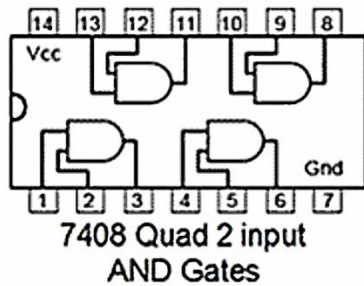
Şekil 3. 4-bitlik paralel toplayıcının blok diyagramı

Bununla birlikte, bir sonraki toplayıcının çıkışı ancak bir önceki toplayıcının eldesi belli olduktan sonra kesin olarak belirlenebilir. Örneğin Şekil-3’te, FA1’in eldesi belli olmadıkça, FA2’nin toplam sonucu kesin olarak belirlenemez.

FA1, A1 ile B1’i topladığı zaman, S1 toplamı ve C1 eldesi elde edilir. Bu elde FA2 tarafından A2 ve B2’ye eklenerek yeni bir S2 toplamı ve C2 eldesi üretilir. Dört toplayıcının toplam sonucu aynı anda belirlenemez ve toplama işlemi gecikmeye uğrar. Bu gecikme, “Look-Ahead” toplayıcı kullanılarak ortadan kaldırılabilir.

5.4. Deneyin Yapılışı

1. Yarım toplayıcı devresini Şekil-1’de verilen lojik devreye göre kurunuz. Girişleri değiştirerek çıkışları gözlemleyiniz. Sonuçları tabloya kaydediniz.
2. Tam toplayıcı devresini Şekil-2’de verilen lojik devreye göre kurunuz. Girişleri değiştirerek çıkışları gözlemleyiniz. Sonuçları tabloya kaydediniz.



DENEY SONUÇ TABLOLARI

YARIM TOPLAYICI

GİRİŞLER		ÇIKIŞLAR	
A	B	Cout	S
0	0		
0	1		
1	0		
1	1		

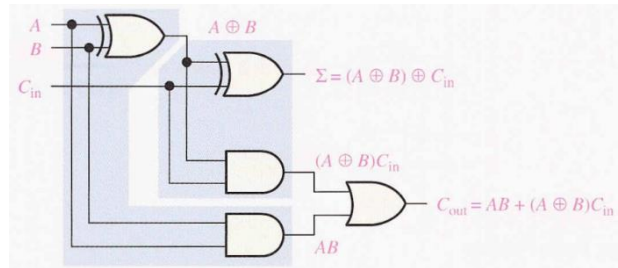
TAM TOPLAYICI

GİRİŞLER			ÇIKIŞLAR	
A	B	Cin	Cout	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

5.5. Deney Sonuç Soruları

1. Deneyi Proteus programında tekrar edip rapora ekleyiniz.

2. Aşağıdaki tam toplayıcı devresine $A = 0$, $B = 1$, $C_{in} = 1$ girişleri uygulanırsa her kapı çıkışının lojik değeri ne olur?



3. Tam toplayıcı devreleriyle oluşturulan iki bitlik paralel toplayıcının blok diyagramını ve lojik devresini çiziniz. Proteus çizimini yapıp rapora ekleyiniz.

4. İki bitlik paralel toplayıcıya aşağıdaki sinyaller giriş olarak uygulanırsa çıkış sinyalleri nasıl olur?
(Çıkışlar: S1, C1, S2, C2)

